

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030005021 A  
 (43)Date of publication of application: 15.01.2003

(21)Application number: 1020020038531  
 (22)Date of filing: 04.07.2002  
 (30)Priority: 05.07.2001 JP 2001  
 2001204167

(71)Applicant: HITACHI, CO., LTD.  
 (72)Inventor: SUZUKI MASAYUKI

(51)Int. CI H01L 27/108

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: To prevent the oxidation of a lower electrode by heat treatment for crystallizing the capacity insulation film of an information storage capacity element and improving the quality of the film.

CONSTITUTION: After forming the lower electrode consisting of an Ru film on the sidewall and the bottom of a hole in a silicon oxide film, where a capacitive element for storing information is formed, tantalum oxide films which are a capacity insulating film are piled by a CVD method. In order to improve the film quality of this tantalum oxide, the tantalum oxide is heat-treated, while controlling the partial pressure ratio of H<sub>2</sub>O to H<sub>2</sub> to be positioned in an area surrounded by a graph (a) and a graph (c), shown by Figure 15 in the mixed atmosphere of H<sub>2</sub>O (water vapor) and H<sub>2</sub> (hydrogen). As a result, the film quality of the tantalum oxide film is improved, while preventing oxidation of the Ru film constituting the lower electrode.

&copy; KIPO & JPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

특2003-0005021

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/108

(11) 공개번호 특2003-0005021  
(43) 공개일자 2003년01월15일

(21) 출원번호	10-2002-0038531
(22) 출원일자	2002년 07월 04일
(30) 우선권주장	JP-P-2001-00204167 2001년 07월 05일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼
(72) 발명자	일본 도쿄도 치요다구 간다스루가다미 4조메 6반치 스즈끼마사유키 일본도쿄도지요다구마루노우찌1조메5-1신마루노우찌빌딩가부시키가이샤히타 치세이사쿠쇼지적재산권본부내
(74) 대리인	장수길, 구영창

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

정보 축적 용량 소자의 용량 절연막의 결정화나 막질의 개선을 위한 열처리에 의한 하부 전극의 산화를 방지한다. 정보 축적용 용량 소자가 형성되는 산화실리콘막 내의 구멍의 측벽 및 저부에, Ru막으로 이루어지는 하부 전극을 형성한 후, 하부 전극 위에, 용량 절연막으로 되는 산화탄탈막을 CVD법으로 피착하고, 이 산화탄탈막의 막질의 개선을 위해, H<sub>2</sub>O(수증기) 및 H<sub>2</sub>(수소)의 혼합 분위기 중에서, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 15에 도시한 그래프 (a)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 산화탄탈막의 열처리를 행한다. 그 결과, 하부 전극을 구성하는 Ru막의 산화를 방지하면서, 산화탄탈막의 막질의 개선을 행할 수 있다.

도표도

도 15

색인어

산화탄탈막, 평형 상수, 반응 온도, 용량 소자, 열처리

영세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 2는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 평면도.  
도 3은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 4는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 5는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 6은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 7은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 8은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 9는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요부 단면도.  
도 10은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요

부 단면도.

도 11은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 12는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 13은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 14는 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 15는 산화탄탈막의 열처리 시의  $H_2O$  및  $H_2$ 의 분압비를 도시하는 도면.

도 16은 산화탄탈막의 열처리 시의  $H_2O$  및  $H_2$ 의 분압비를 도시하는 도면.

도 17은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 18은 본 발명의 실시예 1에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 19는 본 발명의 실시예 2에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 20은 본 발명의 실시예 2에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 21은 본 발명의 실시예 3에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 22는 본 발명의 실시예 3에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 23은 본 발명의 실시예 4에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 24는 본 발명의 실시예 4에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

도 25는 본 발명의 실시예 4에 따른 반도체 집적 회로 장치의 제조 방법을 도시하는 반도체 기판의 주요 부 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 반도체 기판
- 2 : 소자 분리
- 3 : p형 웰
- 4 : 산화실리콘막
- 5 : 게이트 절연막
- 6 : 게이트 전극
- 7 : 질화실리콘막
- 8 : n형 반도체 영역
- 9 : 질화실리콘막
- 10 : 산화실리콘막
- 11 : 콘택트홀
- 12 : 콘택트홀
- 13 : 플러그
- 14 : 산화실리콘막
- 15 : 관통 홀
- 16 : 플러그
- 17 : 산화실리콘막
- 18 : 질화실리콘막
- 19 : 관통 홀
- 20 : 다결정 실리콘막

21 : 측벽 스페이서  
 22 : 플러그  
 23 : 배리어층  
 24 : 산화실리콘막  
 26 : 하드 마스크  
 27 : 구멍  
 29 :  $\text{W}$ 막  
 30 :  $\text{Ru}$ 막  
 30A : 하부 전극  
 32 : 산화탄탈막  
 32a : 산화탄탈막  
 33 : 상부 전극  
 33a :  $\text{Ru}$ 막  
 33b :  $\text{W}$ 막  
 34 : 층간 절연막  
 221 : 배리어 메탈막  
 222 :  $\text{W}$ 막(플러그)  
 322 : 플러그  
 432a : 산화탄탈막  
 BL : 비트선  
 C : 정보 축적용 용량 소자  
 D : 거리  
 L : 활성 영역  
 Qs : 메모리 셀 선택용 MISFET

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, DRAM(Dynamic Random Access Memory)과 같은 정보 축적 용량 소자(캐패시터)를 구성하는 용량 절연막을 갖는 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

상술한 DRAM은, 메모리 셀 선택용 MISFET와 이 MISFET에 직렬로 접속된 정보 축적 용량 소자를 갖고 있다. 이 정보 축적 용량 소자는, 예를 들면, 하부 전극이 되는 실리콘, 용량 절연막이 되는 산화탄탈 및 상부 전극이 되는 실리콘을 순차적으로 피착하여 형성된다.

예를 들면, 특개평5-55464호 공보에는, 다결정 규소막(하부 전극)(11) 위에 탄탈을 포함하는 탄탈 텅스텐 막(12)을 형성하고, 이 막을 수소와 수증기의 혼합 기체 중에서 선택적으로 산화시켜, 산화탄탈막으로 전하 축적용 절연막(14)을 형성하는 방법이 개시되어 있다.

또한, 특개평7-169917호 공보에는, 고농도로 인이 도핑된 다결정 실리콘(하부 전극)(3) 위에 산화탄탈층(5)을 형성한 후, 제1 및 제2 열처리를 행함으로써 산화탄탈층을 결정화하는 방법이 개시되어 있다.

또한, 특개평7-161934호 공보에는, Si를 함유한 하부 전극( $\text{W}$ 막)(4) 위에 용량 절연막으로서  $\text{Ta}_2\text{O}_5$ 막(5)을 형성한 후,  $\text{H}_2$  및 수증기의 분위기 중에서 열처리를 행하는 방법이 개시되어 있다.

##### 발명이 이루고자 하는 기술적 과제

그러나, 하부 전극에 실리콘을 이용하는 경우에는, 그 상층에 형성되는 산화탄탈의 결정화나 막질의 개선을 위한 열처리(산소 분위기 중,  $700^\circ\text{C}$ ) 시에, 실리콘과 산화탄탈과의 계면에 실리콘 산질화막이 형성되어, 고유전율화가 곤란하였다.

본 발명자는, DRAM의 연구 개발을 행하고 있으며, 상술한 정보 축적 용량 소자의 구성이나 형성 방법에 대하여 다양한 검토를 행하고 있다.

반도체 집적 회로 장치의 미세화에 따라, 정보 축적 용량 소자의 형성 면적도 축소화의 경향에 있어, 원

하는 용량을 확보하는 것이 곤란해지고 있다. 따라서, 작은 면적으로 대용량을 얻기 위해서 전극 재료나 용량 절연막 재료에 대한 검토가 필요로 되고 있다.

따라서, 본 발명자는, 정보 축적 용량 소자의 하부 전극으로서 Ru막을 채용하고, 그 형성 방법에 대하여 다양한 검토를 행하고 있다. 이 Ru와 같은 백금족 금속은, 형성 후의 열처리에 의해서도 산화화막과 같은 저유전율막을 생성하지 않고, 또한, 금속이기 때문에 얇게 형성하는 것이 가능하여, 용량을 증가시키는 데 바람직하다고 생각되기 때문이다.

그러나, 하부 전극으로서 Ru막을 채용한 경우, 그 상층에 형성되는 산화탄탈의 결정화나 막질의 개선을 위한 열처리(산소 분위기 중, 700℃) 시에, Ru막의 산화에 의한 체적 팽창에 의해 산화탄탈막에 균열이 발생하여, 제품 수율이 저하된다.

또한, Ru막의 산화에 의한 체적 팽창이 산화탄탈막의 변형을 가져올 정도는 아닌 경우라도, Ru막 중의 산소가 정보 축적 용량 소자와 메모리 셀 선택용 MISFET을 접속하는 접속부(예를 들면 플러그)까지 이동하여, 산화물로 됨으로써 도통 불량을 발생시킨다.

본 발명의 목적은, 용량 절연막의 결정화나 막질의 개선을 위한 열처리에 의한 하부 전극의 산화를 방지할 수 있는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은, 양호한 용량 절연막이나 하부 전극을 형성함으로써 정보 축적 용량 소자의 특성의 향상을 도모할 수 있는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 분명해질 것이다.

### 발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것을 설명하면, 다음과 같다.

1. 본 발명의 반도체 장치의 제조 방법은, (a) 반도체 기판 위에 제1 도전체를 형성하는 공정과, (b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과, (c) 상기 공정 (b) 후에, 수증기와 수소를 포함하는 분위기 중에서 상기 반도체 기판에 열처리를 행하는 공정을 포함한다.

2. 본 발명의 반도체 장치의 제조 방법은, (a) 반도체 기판 위에 제1 도전체를 형성하는 공정과, (b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과, (c) 상기 반도체 기판에, 수증기와 수소를 포함하는 분위기 중에서, 200℃ ~ 400℃로 열처리를 행하는 공정을 포함한다.

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 모든 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

(실시예 1)

본 실시예의 DRAM의 제조 방법을 도 1~도 18을 이용하여 공정 순서대로 설명한다.

우선, 도 1에 도시한 바와 같이, 예를 들면 p형의 단결정 실리콘으로 이루어지는 반도체 기판(1)의 주면의 소자 분리 영역에 소자 분리(2)를 형성한다. 또한, 이 소자 분리(2)를 형성함으로써, 도 2에 도시한 바와 같은, 소자 분리(2)에 의해 주위가 둘러싸인 가늘고 긴 섬 형상의 활성 영역(L)이 동시에 형성된다. 이를 활성 영역(L)의 각각에는 소스, 드레인의 한쪽을 공유하는 메모리 셀 선택용 MISFET Qs가 2개씩 형성된다.

상기 소자 분리(2)를 형성하기 위해서는, 반도체 기판(1)의 표면을 에칭하여 깊이 300~400nm 정도의 홈을 형성하고, 이 홈의 내부에 얇은 산화실리콘막을 형성한다. 계속해서 이 홈의 내부를 포함하여 반도체 기판(1) 위에 CVD(Chemical Vapor Deposition)법으로 산화실리콘막(4)(막 두께 600nm 정도)을 피착한 후, 산화실리콘막(4)을 화학 기계 연마(CMP: Chemical Mechanical Polishing)법으로 폴리시백함으로써 형성한다.

다음으로, 반도체 기판(1)에 B(붕소)를 이온 주입함으로써 p형 웰(3)을 형성하고, 계속해서 p형 웰(3)의 표면을 HF(불산)계의 세정액으로 세정한 후, 반도체 기판(1)을 열산화함으로써 p형 웰(3)(활성 영역 L)의 표면에 막 두께 6nm 정도의 게이트 절연막(5)을 형성한다.

다음으로, 도 3에 도시한 바와 같이, 게이트 절연막(5)의 상부에 게이트 전극(6)을 형성한다. 게이트 전극(6)은, 예를 들면 게이트 절연막(5)의 상부에 P(인) 등을 도핑한 n형 다결정 실리콘막(막 두께 70nm 정도), WN(질화 텅스텐) 또는 TiN(질화티탄)으로 이루어지는 배리어 메탈막(막 두께 5nm~10nm 정도), W막(텅스텐막, 막 두께 100nm 정도) 및 질화실리콘막(7)(막 두께 150nm 정도)을 순차적으로 피착한 후, 포토 레지스트막(도시 생략)을 마스크로 하여 이를 막을 드라이 에칭함으로써 형성한다. 다결정 실리콘막 및 질화실리콘막(7)은 CVD법으로 피착하고, 배리어 메탈막 및 W막은 스퍼터링법으로 피착한다. 이 게이트 전극(6)은 워드선(WL)으로서 기능한다. 계속해서, 웨트 수소 산화(wet hydrogen oxidation)를 행하여, 게이트 전극(6)을 구성하는 n형 다결정 실리콘막의 측벽에, 얇은 실리콘 산화막을 형성한다. 이 웨트 수소 산화에 따르면, 실리콘 위에만 선택적으로 산화막을 형성할 수 있다.

다음으로, 도 4에 도시한 바와 같이, p형 웰(3)에 As(비소) 또는 P(인)를 이온 주입하여 게이트 전극(6)의 양측의 p형 웰(3)에 n형 반도체 영역(8)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해, 메모리 셀 선택용 MISFET Qs가 대략 완성된다.

다음으로, 반도체 기판(1) 위에 CVD법으로 질화실리콘막(9)(막 두께 50nm) 및 산화실리콘막(10)(막 두께 600nm 정도)을 피착하고, 계속해서 산화실리콘막(10)의 표면을 화학 기계 연마법으로 평탄화한 후, 포토 레지스트막(도시 생략)을 마스크로 하여 산화실리콘막(10) 및 질화실리콘막(9)을 드라이 에칭함으로써, 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(8)(소스, 드레인)의 상부에 콘택트홀(11, 12)을 형성한다. 산화실리콘막(10)의 에칭은, 질화실리콘막에 대한 선택비가 큰 조건으로 행하고, 질화실리콘

막(9)의 에칭은, 실리콘이나 산화실리콘막에 대한 에칭 선택비가 큰 조건으로 행한다. 이에 따라, 컨택트홀(11, 12)이 게이트 전극(6)(워드선)에 대하여 자기 정합(self alignment)으로 형성된다.

다음으로, 도 5에 도시한 바와 같이, 컨택트홀(11, 12)의 내부에 플러그(13)를 형성한다. 플러그(13)를 형성하기 위해서는, 산화실리콘막(10)의 상부에 P(인)을 도핑한 n형 다결정 실리콘막을 CVD법으로 피착함으로써, 컨택트홀(11, 12)의 내부에 이 n형 다결정 실리콘막을 매립한 후, 컨택트홀(11, 12)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법(또는 에치백)으로 제거한다. 이 후, 열처리에 의해 플러그(13) 내의 불순물(인)을 n형 반도체 영역(8)(소스, 드레인) 내로 확산시켜, n형 반도체 영역(8)(소스, 드레인)과 플러그(13)와의 접촉 저항의 저감을 도모한다.

다음으로, 산화실리콘막(10)의 상부에 CVD법으로 산화실리콘막(14)(막 두께 150nm 정도)을 피착한 후, 포토레지스트막(도시 생략)을 마스크로 하여 컨택트홀(11)의 상부의 산화실리콘막(14)을 드라이 에칭함으로써, 관통 홀(15)을 형성한다.

다음으로, 관통 홀(15)의 내부에 플러그(16)를 형성한다. 플러그(16)를 형성하기 위해서는, 산화실리콘막(14)의 상부에 예를 들면 스퍼터링법으로 Ti막과 TiN막의 적층막으로 이루어지는 배리어 메탈막을 피착하고, 계속해서 배리어 메탈막의 상부에 CVD법으로 W막을 피착함으로써, 관통 홀(15)의 내부에 이들 막을 매립한 후, 관통 홀(15)의 외부의 이들 막을 화학 기계 연마법으로 제거한다. 이 플러그(16, 13)를 통해, 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(8)(소스, 드레인)과 후술하는 비트선 BL이 접속된다.

다음으로, 산화실리콘막(14) 및 플러그(16) 위에 비트선 BL을 형성한다. 비트선 BL을 형성하기 위해서는, 예를 들면 산화실리콘막(14)의 상부에 스퍼터링법으로 TiN막(막 두께 10nm 정도, 도시 생략)을 피착하고, 계속해서 TiN막의 상부에 CVD법으로 W막(막 두께 50nm 정도)을 피착한 후, 포토레지스트막(도시 생략)을 마스크로 하여 이들 막을 드라이 에칭한다.

다음으로, 도 6에 도시한 바와 같이, 비트선 BL의 상부에 CVD법으로 산화실리콘막(17)(막 두께 300nm 정도)을 피착하고, 계속해서 화학 기계 연마법으로 그 표면을 평탄화한다. 다음으로, 산화실리콘막(17)의 상부에 CVD법으로 질화실리콘막(18)(막 두께 50nm 정도)을 피착한다.

다음으로, 질화실리콘막(18) 및 산화실리콘막(17) 등을 드라이 에칭함으로써, 플러그(13)가 매립된 컨택트홀(12)의 상부에 관통 홀(19)을 형성한다.

관통 홀(19)은, 그 직경이 그 하부의 컨택트홀(12)의 직경보다 작아지도록 형성한다. 이 경우, 직경은 약 0.1 $\mu$ m이다. 구체적으로는, 질화실리콘막(18)의 상부에 CVD법으로 다결정 실리콘막(20)을 피착하고, 계속해서 관통 홀(19)을 형성하는 영역의 다결정 실리콘막(20)을 드라이 에칭하여 구멍(직경 약 0.18 $\mu$ m)을 형성한 후, 다결정 실리콘막(20)의 상부에 다시 다결정 실리콘막(도시 생략)을 피착한다. 다음으로, 다결정 실리콘막(20)의 상부의 다결정 실리콘막을 이방성 에칭함으로써 구멍의 측벽에 측벽 스페이서(21)를 형성하고, 계속해서 다결정 실리콘막(20)과 측벽 스페이서(21)를 하드 마스크로 이용하여 구멍의 저면의 질화실리콘막(18) 및 산화실리콘막(17, 14)을 드라이 에칭한다.

다음으로, 다결정 실리콘막(20) 및 측벽 스페이서(21)를 드라이 에칭으로 제거한 후, 도 7에 도시한 바와 같이, 관통 홀(19)의 내부에 플러그(22)를 형성한다. 플러그(22)를 형성하기 위해서는, 우선 질화실리콘막(18)의 상부에 P를 도핑한 n형 다결정 실리콘막을 CVD법으로 피착함으로써 관통 홀(19)의 내부에 n형 다결정 실리콘막을 매립한 후, 관통 홀(19)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법(또는 에치백)으로 제거한다. 이 때, 다결정 실리콘막을 오버 연마(또는 오버 에칭)함으로써, 플러그(22)의 표면의 높이를 관통 홀(19)의 상단부로부터 하방으로 후퇴시킨다.

다음으로, 도 8에 도시한 바와 같이, 플러그(22)의 상부에 배리어층(23)을 형성한다. 배리어층(23)을 형성하기 위해서는, 질화실리콘막(18)의 상부에 스퍼터링법으로 W막을 피착한 후, 계속해서 관통 홀(19)의 외부의 W막을 화학 기계 연마법(또는 드라이 에칭)으로 제거한다. 배리어층(23)은, 후술하는 제조 공정의 도중에서 행해지는 열처리에 의해, 하부 전극(30A)을 구성하는 Ru(루테튬)와 플러그(22)를 구성하는 다결정 실리콘이 원하지 않은 실리콘사이드 반응을 야기시키는 것을 방지하기 위해 형성한다. 또한, 이 배리어층(23)을 W막 혹은 TaN(질화탄탈)막으로 형성해도 된다.

이 후, 플러그(22) 위에, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 용량 절연막 및 W막/Ru막으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자(캐패시터) C를 형성한다.

이 정보 축적용 용량 소자 C의 형성 공정을, 도 9~도 17을 참조하면서 상세히 설명한다. 이들 도면은 플러그(22) 위의 정보 축적용 용량 소자 C의 형성 예정 영역을 모식적으로 도시한 도면이다.

도 9에 도시한 바와 같이, 배리어층(23) 및 질화실리콘막(18) 위에 산화실리콘막(24)을 피착한다. 정보 축적용 용량 소자 C의 하부 전극은, 이 산화실리콘막(24)에 형성하는 구멍(오목부)의 내부에 형성된다. 하부 전극의 표면적을 크게 하여 축적 전하량을 증가시키기 위해서는, 산화실리콘막(24)을 두껍게(0.8 $\mu$ m 정도) 피착할 필요가 있다. 산화실리콘막(24)은, 예를 들면 산소와 테트라에톡시실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 피착하고, 그 후, 필요에 따라 그 표면을 화학 기계 연마법으로 평탄화한다.

다음으로, 산화실리콘막(24)의 상부에 스퍼터링법으로 막 두께 200nm 정도의 W막을 피착하고, 계속해서 W막의 상부에 반사 방지막을 도포함으로써, 하드 마스크(26)를 형성한다. 이 하드 마스크(26)(W막)는 산화실리콘막(24)에 대한 에칭 선택비가 포토레지스트막에 비해 크기 때문에, 두꺼운 막 두께의 산화실리콘막(24)을 에칭할 때의 마스크로서 사용한다.

다음으로, 도 10에 도시한 바와 같이, 하드 마스크(26) 위에, 포토레지스트막(도시 생략)을 형성하고, 이 포토레지스트막을 마스크로 하여 하드 마스크(26)를 드라이 에칭한다. 계속해서, 하드 마스크(26)를 마스크로 하여 산화실리콘막(24)을 드라이 에칭함으로써, 깊은 구멍(오목부)(27)을 형성한다. 깊은 구멍

(오목부)(27)의 저면에는 판통 홀(19) 내의 배리어층(23)의 표면이 노출된다.

다음으로, 산화실리콘막(24)의 상부에 남은 하드 마스크(26)를 과산화수소수를 함유하는 용액에 의해 제거한 후, 도 11에 도시한 바와 같이, 산화실리콘막(24)의 상부 및 구멍(27)의 내부에, 스퍼터링법에 의해  $\text{Wn}$ 막(29)막 두께 15nm 정도를 피착한다. 이  $\text{Wn}$ 막(29)은, 하지층인 산화실리콘막(24)이나, 후술하는 Ru막(30)과의 접착성이 우수하기 때문에, 접착층으로서 이용된다. 또한, 후술하는 Ru막(30)의 성막 방법이나 조건을 궁리함으로써, 산화실리콘막(24)과 Ru막(30)과의 접착성을 확보할 수 있는 경우에는, 접착층의 형성 공정을 생략할 수 있다.

계속해서, 도 12에 도시한 바와 같이,  $\text{Wn}$ 막(29)의 상부에 CVD법에 의해 Ru막(30)막 두께 30nm 정도를 피착하는 것이지만, 이 CVD법에 의한 Ru막의 피착 전에, 스퍼터링법에 의해 막 두께 15nm 정도의 Ru막(도시 생략)을 형성한다. 이것은, 스퍼터링법에 의해 형성된 막이 시드로 되어, CVD법에 의한 Ru막(30)을 효율적으로 성장시키기 때문이다.

이 Ru막(30)은, 예를 들면, 에틸시클로펜타디엔일루테늄(ethylcyclopentadienyl ruthenium)( $\text{Ru}(\text{C}_5\text{H}_5)_2$ )의 테트라히드로푸란(tetrahydrofuran) 용액과  $\text{O}_2$ (산소)를 원료로 하여 CVD법에 의해 형성할 수 있다. 또한, Ru와 헥사플루오로아세틸아세톤(hexafluoroacetylacetone)( $\text{CF}_3\text{COCH}_2\text{COCF}_3$ )의 착화합물인  $\text{Ru}(\text{HFAC})_3$ ,  $\text{H}_2\text{O}$ (수증기) 및  $\text{H}_2$ (수소)를 원료로 하여 형성할 수 있다. 또한, HFAC는 ( $\text{CF}_3\text{COCH}_2\text{COCF}_3$ )을 의미한다. 계속해서, 질소 분위기, 700°C, 1분간의 열처리를 행하여 Ru막(30)을 치밀화(densify)한다.

계속해서, 도 13에 도시한 바와 같이, Ru막(30) 위에 포토레지스트막(도시 생략)을 도포하여 전면 노광을 행한 후, 현상함으로써, 구멍(27) 내에 포토레지스트막(도시 생략)을 잔존시킨다. 이 포토레지스트막은, 다음 공정에서 산화실리콘막(24)의 상부의 불필요한 Ru막(30)을 드라이 에칭으로 제거할 때에, 구멍(27)의 내부(측벽 및 저면)의 Ru막(30)이 제거되는 것을 방지하는 보호막으로서 사용된다. 계속해서, 이 포토레지스트막을 마스크로 하여 드라이 에칭을 행함으로써, 산화실리콘막(24) 위의 Ru막(30)을 제거함으로써 하부 전극(30A)을 형성한다. 계속해서, 구멍(27) 내의 포토레지스트막을 제거한다.

다음으로, 하부 전극(30A)이 형성된 구멍(27)의 내부 및 산화실리콘막(24) 위에 용량 절연막(캐패시터 절연막)이 되는 10nm 정도의 산화탄탈막(32)을 피착한다. 산화탄탈막(32)은 펜타에톡시탄탈(pentaethoxytantalum)( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )과 산소를 원료로 하여 CVD법으로 피착한다.

이 CVD법으로 피착된 산화탄탈막(32)은 비정질 상태이며, 누설 전류 증가의 원인이 된다. 따라서, 산화탄탈의 막질 개선을 위해, 열처리(어닐링)를 실시한다. 이 열처리에 의해, 산화탄탈막(32)은 결정화되어, 산화탄탈막(32a)으로 된다(도 14). 또한, 이 열처리에 의해, 산화탄탈막 내의 결함을 회복할 수 있어, 누설 전류를 저감할 수 있다.

이 열처리는,  $\text{H}_2\text{O}$ (수증기) 및  $\text{H}_2$ (수소)의 혼합 분위기 중에서, 예를 들면, 700°C로 행한다.

이와 같이, 본 실시예에 따르면, 산화탄탈막(32)의 막질 개선을 위한 열처리를,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 혼합 분위기 중에서 행하기 때문에, 이  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 제어함으로써, 산화탄탈막(32)의 하층의 금속(예를 들면, 하부 전극(Ru),  $\text{Wn}$ 막(접착층)이나 배리어층( $\text{Wn}$ 막))의 산화를 방지할 수 있다.

이  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비  $\log\{[\text{H}_2\text{O}]/[\text{H}_2]\}$ 의 제어에 대하여 이하에 설명한다.

도 15의 그래프 (a)는, 계1( $\text{RuO}_2+\text{H}_2$ )과 계2( $\text{Ru}+\text{H}_2\text{O}$ )와의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 이  $\log k = \log\{[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}\}$ ( $[\text{H}_2\text{O}]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2\text{O}$ 의 분압,  $[\text{H}_2]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2$ 의 분압)에 의해 나타낸다.

또한, 도 15의 그래프 (c)는, 계1( $\text{Ta}_2\text{O}_5+\text{H}_2$ )과 계2( $\text{Ta}+\text{H}_2\text{O}$ )와의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 이  $\log k = \log\{[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}\}$ ( $[\text{H}_2\text{O}]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2\text{O}$ 의 분압,  $[\text{H}_2]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2$ 의 분압)에 의해 나타내고, 이러한 평형 상수 k는 계1과 계2와의 깁스(Gibbs)의 자유 에너지의 차( $\Delta G$ ) 등에 의해 구할 수 있다.

따라서, 이 그래프 (c)보다 아래의 영역에 위치하는 조건 하에서는,  $\text{Ta}_2\text{O}_5$ 가 환원되는 방향으로 평형이 이동하기 때문에, 산화탄탈막(32)의 열처리 시에는,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 15에 도시한 그래프 (c)보다 위의 영역에 위치하도록 제어할 필요가 있다.

한편, 도 15의 그래프 (a)보다 위의 영역에 위치하는 조건 하에서는, Ru가 산화되는 방향으로 평형이 이동하기 때문에, 산화탄탈막(32)의 열처리 시에는,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 15에 도시한 그래프 (a)보다 아래의 영역에 위치하도록 제어할 필요가 있다.

즉,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 15에 도시한 그래프 (a)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행하면, 하부 전극(Ru막)의 산화를 방지하면서, 산화탄탈막(32)의 막질 개선을 행할 수 있다. 예를 들면, 열처리 온도를 700°C로 하면,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비( $\log\{[\text{H}_2\text{O}]/[\text{H}_2]\}$ )는  $-6.71 < \log\{[\text{H}_2\text{O}]/[\text{H}_2]\} < 6.98$ 로 된다.

또한, 산화탄탈막(32)의 결정화를 위해서는, 500°C 이상에서 열처리를 행하는 것이 바람직하다.

이와 같이, 본 실시예에 따르면, 산화탄탈막(32)의 막질 개선을 위한 열처리를,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 혼합 분위기 하에서,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비( $[\text{H}_2\text{O}]/[\text{H}_2]$ )를, 해당 열처리 온도에서의 ( $[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$ )보다 크고, 또한, ( $[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$ )보다 작아지는 조건 하에서 행하였기 때문에, 하부 전극(Ru막)의 산화를 방지하면서, 산

화탄탈막(32)의 막질 개선을 행할 수 있다.

그 결과, 이 열처리 시에 있어서의 하부 전극(Ru막)의 산화에 의한 체적 팽창을 작게 할 수 있어, 산화탄탈막(32a)의 파손을 방지할 수 있다. 또한, 하부 전극(Ru막) 내의 산소량을 저감할 수 있어, 이 산소가 산화탄탈막(32)의 하층의 하부 전극(30A)(Ru막), W막(29)(접착층)이나 배리어층(23)(W막)으로 확산되는 양을 억제할 수 있다. 따라서, 이를 부위에 산화막이 생성되는 것에 의한 도통 불량률을 저감할 수 있다. 특히, 본 실시예와 같은 플러그(22)의 직경이 작아, 미세한 반도체 장치에 적용하면 효과가 크다.

또한, 도 16의 그래프 (b)는, 계1( $W_2+H_2$ )과 계2( $W+H_2O$ )와의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것으로, 상술한 그래프 (a)보다 아래에 위치한다. 상술한 바와 같이, 이  $\log k = \log \left( \frac{[H_2O]_{eq}}{[H_2]_{eq}} \right) / \left( \frac{[H_2O]_{eq}}{[H_2]_{eq}} \right)$ : 평형 상태에서의  $H_2O$ 의 분압,  $[H_2]_{eq}$ : 평형 상태에서의  $H_2$ 의 분압)에 의해 나타내고, 이 평형 상수 k는 계1과 계2와의 길스의 자유 에너지의 차( $\Delta G$ ) 등에 의해 구할 수 있다.

즉,  $H_2O$  및  $H_2$ 의 분압비를 도 16에 도시한 그래프 (b)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행하면, 하부 전극(Ru막)이나 W막의 산화를 방지하면서, 산화탄탈막(32)의 막질 개선을 행할 수 있다. 예를 들면, 열처리 온도를 700°C로 하면,  $H_2O$  및  $H_2$ 의 분압비 ( $\log \left( \frac{[H_2O]}{[H_2]} \right)$ )는  $-6.71 < \log \left( \frac{[H_2O]}{[H_2]} \right) < -0.6$ 으로 된다.

그 결과, 이 열처리 시에 있어서의 하부 전극(Ru막)의 산화에 의한 체적 팽창을 작게 할 수 있어, 산화탄탈막(32a)의 파손을 방지할 수 있다. 또한, 하부 전극(Ru막)이나 W막(29, 23) 내의 산소량을 저감할 수 있어, 이를 부위에 산화막이 생성되는 것에 의한 도통 불량률을 저감할 수 있다.

다음으로, 도 17에 도시한 바와 같이, 산화탄탈막(32)의 상부에 상부 전극(33)을 형성한다. 상부 전극(33)은, 예를 들면 산화탄탈막(32)의 상부에 CVD법으로 Ru막(33a)(막 두께 70nm 정도) 및 W막(33b)(막 두께 100nm 정도)을 피착함으로써 형성한다. Ru막(33a)은 Ru막(30)과 마찬가지로 형성한다. W막(33b)은 상부 전극(33)과 상층 배선과의 콘택트 저항을 저감하기 위해 사용된다.

여기까지의 공정에 의해, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 용량 절연막 및 W막(33b)/Ru막(33a)으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자 C가 완성되고, 메모리 셀 선택용 MISFET Qs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 구성되는 DRAM의 메모리 셀이 대략 완성된다. 도 18은 정보 축적용 용량 소자 C 형성 후의 반도체 집적 회로 장치의 평면도이다. 도 8은, 예를 들면, 도 18에서의 A-A부의 단면도와 대응한다.

그 후, 정보 축적용 용량 소자 C의 상부에 산화실리콘막 등으로 이루어지는 층간 절연막(34)이 형성되고, 또한, 이 층간 절연막 위에 2층 정도의 Al 배선이 형성되며, 최상층의 Al 배선의 상부에 패시베이션막이 형성되지만, 이들의 도시는 생략한다.

이상 상술한 바와 같이, 본 실시예에 따르면, 산화탄탈막(32)의 막질 개선을 위한 열처리를  $H_2O$  및  $H_2$ 의 혼합 분위기 중에서 행하였기 때문에, 이  $H_2O$  및  $H_2$ 의 분압비를 제어함으로써, 산화탄탈막(32)의 하층의 금속(예를 들면, 하부 전극(Ru), W막(접착층)이나 배리어층(W막))의 산화를 방지할 수 있다.

특히,  $H_2O$  및  $H_2$ 의 분압비를 도 15에 도시한 그래프 (a)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행하면, 하부 전극(Ru막)의 산화를 방지하면서, 산화탄탈막(32)의 막질의 개선을 행할 수 있다.

또한,  $H_2O$  및  $H_2$ 의 분압비를 도 16에 도시한 그래프 (b)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행하면, 하부 전극(Ru막)이나 W막의 산화를 방지하면서, 산화탄탈막(32)의 막질 개선을 행할 수 있다.

그 결과, 이 열처리 시에 있어서의 하부 전극(Ru막)의 산화에 의한 체적 팽창을 작게 할 수 있어, 산화탄탈막(32a)의 파손을 방지할 수 있다. 또한, Ru막이나 W막 내의 산소량을 저감할 수 있어, 이를 부위에 산화막이 생성되는 것에 의한 도통 불량률을 저감할 수 있다.

나아가서는, 정보 축적용 용량 소자 C의 특성을 향상시키고, 또한, 메모리 셀의 특성을 향상시킬 수 있다. 또한, 미세화된 메모리 셀 구조에서도 원하는 용량을 확보할 수 있다.

또한, 본 실시예에서는, 하부 전극을 Ru를 이용하여 형성하였지만, Ir(이리듐), Pd(팔라듐), Rh(로듐) 혹은 Pt(백금) 등의 백금족 금속이나 구리를 이용하여 하부 전극을 형성해도 된다.

또한, 본 실시예에서는, 용량 절연막으로서 산화탄탈막을 이용하였지만,  $Al_2O_3$ ,  $BST(Ba, Sr, TiO_3)$ ,  $TiO_2$ ,  $HfO_2$ ,  $ZrO_2$ ,  $BaTiO_3$  혹은  $SrTiO_3$  등의 산화막을 이용해도 된다.

또한, 본 실시예에서는, 배리어층으로서 W막을 이용하였지만, TaN, TiN, TiW, W, MoN 혹은 Mo 등을 이용해도 된다.

여기서, 예를 들면, 용량 절연막으로서 산화탄탈막을 이용하고, 배리어층으로서 TaN을 이용한 경우에는, 배리어층(TaN막)의 산화를 방지하면서, 산화탄탈막의 막질 개선을 위한 열처리를 행하는 것이 곤란하다고 생각된다. 또한, Ti, TiN, Ta 및 TaN에 대하여 고찰하면, Ti나 Ta를 포함하는 이들 막은 Ta보다 산화되기 쉽고, 또한, Ta와 동등하게 산화되기 쉽기 때문에, 용량 절연막으로서 산화탄탈막을 이용한 경우에는, 배리어층으로서 W, MoN 혹은 Mo가 바람직하다고 생각된다.

이와 같이, 용량 절연막 내의 금속보다 잘 산화되지 않는 금속을 적절하게 선택하여, 배리어층으로 할 필요가 있다. 「잘 산화되지 않는다」란 표현은, 예를 들면, 도 15에 도시한 바와 같은 그래프를 그린 경우, 용량 절연막 내의 금속에 대한 그래프가, 배리어층 내의 금속의 그래프보다 아래에 위치하는 것을 의미한다. 이 관계는, 배리어층 외에, 용량 절연막의 하층의 하부 전극이나 접착층에 대해서도 마찬가지로



다.

이렇게 함으로써, 용량 절연막의 하층의 금속(예를 들면, 하부 전극, 접착층이나 배리어층)의 산화를 방지하도록, 용량 절연막의 막질 개선을 위한 H<sub>2</sub>O 및 H<sub>2</sub>의 혼합 분위기 중에서의 열처리에서의 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어할 수 있다.

(실시예 2)

실시예 1에서는, 관통 홀(19)의 내부에 n형 다결정 실리콘막을 매립함으로써 플러그(22)를 형성하고, 그 상부에 웨막으로 이루어지는 배리어층(23)을 형성하였지만, 이 플러그 및 배리어층의 부분을 이하와 같은 구성으로 해도 된다.

이하, 본 실시예의 DRAM의 제조 방법을 설명한다. 또한, 질화실리콘막(18) 및 산화실리콘막(17, 14)을 도라이 에칭함으로써, 관통 홀(19)을 형성하는 공정까지는, 도 1~도 6까지를 참조하면서 설명한 실시예 1의 경우와 마찬가지로 하기 때문에 그 설명을 생략한다. 또한, 본 실시예에서는, 관통 홀(19) 내에 형성되는 플러그 근방 및 이 플러그의 상부에 형성되는 정보 축적용 용량 소자 C를 모식적으로 도시한 도면을 이용하여 설명한다.

도 19에 도시한 바와 같이, 관통 홀(19)의 내부에 플러그(222)를 형성한다. 플러그(222)를 형성하기 위해서는, 우선, 관통 홀(19) 내를 포함하는 질화실리콘막(18)의 상부에 예를 들면 스퍼터링법으로 Ti막과 TiN막과의 적층막으로 이루어지는 배리어 메탈막(221)을 피착하고, 계속해서 배리어 메탈막의 상부에 CVD법으로 웨막(222)을 피착함으로써, 관통 홀(19)의 내부에 이들 막을 매립한 후, 관통 홀(19)의 외부의 이들 막을 화학 기계 연마법으로 제거한다. 이 관통 홀(19)은 질화실리콘막(18), 산화실리콘막(17) 및 산화실리콘막(14) 내에 형성되고, 그 저부에는 n형 다결정 실리콘막으로 이루어지는 플러그(13)가 노출되어 있다. 이 배리어 메탈막(221)은, 플러그(222)를 구성하는 웨막과 플러그(13)를 구성하는 다결정 실리콘이 원하지 않은 실리콘사이드 반응을 야기시키는 것을 방지하기 위해서 형성한다.

이 후, 도 20에 도시한 바와 같이, 플러그(222) 위에, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 용량 절연막 및 웨막/Ru막으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자(캐패시터) C를 형성한다. 또한, 이 정보 축적용 용량 소자 C의 형성 공정은, 도 9~도 17을 참조하면서 설명한 실시예 1의 경우와 마찬가지로 하기 때문에, 그 설명을 생략한다.

이상 상술한 바와 같이, 본 실시예에 따르면, 실시예 1과 마찬가지로, 산화탄탈막(32)의 막질 개선을 위한 열처리를 행하였기 때문에, 산화탄탈막(32)의 하층의 금속(예를 들면, 하부 전극(Ru), 웨막(접착층)이나 배리어층(웨막))의 산화를 방지할 수 있다.

또한, 플러그(222)를 웨막으로 구성하였기 때문에, 산화탄탈막(32)으로부터 실리콘막(이 경우, 플러그(13))까지의 거리를 크게 할 수 있어, 실리콘막의 산화를 방지할 수 있다.

즉, 본 실시예에서는, 산화탄탈막(32)으로부터 플러그(13)의 표면까지의 거리 D를 확보할 수 있는 데 비하여(도 20), 예를 들면, 실시예 1(도 17)의 경우에는, 산화탄탈막(32)으로부터 실리콘막(도 17의 경우, 플러그(22))의 표면까지의 거리는 D 이하로 된다.

또한, 실리콘(Si)은 산화탄탈막(32)으로부터 플러그(13)까지의 사이에 개재하는 막(예를 들면, 하부 전극(Ru), 웨막(접착층), 플러그(웨막)(222)나 배리어층(Ti막, TiN막))보다 산화되기 쉬운 금속이기 때문에, 이들 부위에 산소가 유입된 경우에는, 유입된 산소가 이들 부위 내를 확산하여, 가장 산화되기 쉬운 금속(Si)과 결합함으로써 안정화된다.

따라서, 실리콘막과 이들 부위와의 계면에는 산화막이 생기기 쉽다. 그러나, 본 실시예에서는 플러그(222)를 웨막으로 구성하였기 때문에, 산화탄탈막(32)으로부터 실리콘막(이 경우, 플러그(13))까지의 거리를 크게 할 수 있어, 실리콘막의 산화를 방지할 수 있다.

그 결과, 실시예 1에서 설명한 효과 외에 플러그(13) 내에 산화막이 생성되는 것에 의한 도통 불량률도 저감할 수 있다.

또한, 본 실시예에서는, 플러그(222)를 웨막을 이용하여 형성하였지만, 이 외에, WN, TaN, TiN, TiW, W, MoN 혹은 Mo 등을 이용해도 된다.

(실시예 3)

실시예 2에서는 플러그(222)를 웨막으로 구성하였지만, 이 플러그(222) 내에 Si를 함유시켜도 된다.

이하, 본 실시예의 DRAM의 제조 방법을 설명한다. 또한, 플러그(322)의 형성 공정 이외의 공정은, 실시예 2 및 실시예 2에서 인용하는 실시예 1의 공정과 마찬가지로 하기 때문에, 그 설명을 생략한다.

도 21에 도시한 바와 같이, 관통 홀(19) 내를 포함하는 질화실리콘막(18)의 상부에 예를 들면 스퍼터링법으로 Ti막과 TiN막과의 적층막으로 이루어지는 배리어 메탈막(221)을 피착하고, 계속해서 배리어 메탈막의 상부에 CVD법으로 웨막을 피착한다. 이 때, SiH<sub>4</sub>와 WF<sub>6</sub>를 원료로 하여 CVD법으로 성막함으로써, 웨막 내에 Si를 함유시킨다. 이 Si의 함유율은 50% 이하이다. 계속해서, 관통 홀(19)의 외부의 이들 막을 화학 기계 연마법으로 제거함으로써 플러그(322)를 형성한다.

이 후, 도 22에 도시한 바와 같이, 플러그(322) 위에, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 용량 절연막 및 웨막/Ru막으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자(캐패시터) C를 형성한다.

이와 같이, 본 실시예에 따르면, 실시예 1과 마찬가지로, 산화탄탈막(32)의 막질 개선을 위한 열처리를 행하였기 때문에, 산화탄탈막(32)의 하층의 금속(예를 들면, 하부 전극(Ru), 웨막(접착층)이나 배리어층(웨막))의 산화를 방지할 수 있다.

또한, 플러그(322)를 Si를 함유하는 W막으로 구성하였기 때문에, 플러그(322) 내로 산소 혹은 산소의 화합물이 확산되는 경우에도, W막 내의 Si가 이 산소를 트랩하여, W막의 산화를 방지할 수 있다. 또한, Si는 W막 내에 도트 형태로 존재하고 있기 때문에, 산소를 트랩하여 산화물로 되어도 막 형상으로는 되지 않아, 플러그(322)의 도통은 확보할 수 있다.

그 결과, 실시예 1에서 설명한 효과 외에 플러그(322)의 도통 불량을 저감할 수 있다.

또한, 본 실시예에서는, 플러그(322)를 W막을 이용하여 형성하였지만, 이 외에 WN, TaN, TiN, TiW, W, MoN 혹은 Mo 등을 이용해도 된다.

또한, 트랩 금속으로서 Si 외에, 산화되기 쉬운 금속, 예를 들면, Al, Hf, Zr, Ti 등의 금속을 이용할 수 있다.

이러한 산화의 용이함은 상대적인 것이기 때문에, 플러그(322)를 구성하는 금속에 비해 산화되기 쉬운 금속을 트랩 금속으로서 이용하면 된다.

#### (실시예 4)

실시예 1~3에서는, 산화탄탈막의 결정화를 위한 열처리를, H<sub>2</sub>O 및 H<sub>2</sub>의 혼합 분위기 중에서, 이 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어하면서 행하였지만, 산화탄탈막의 열처리를 이하와 같이 행해도 된다.

이하, 본 실시예의 DRAM의 제조 방법을 설명한다. 또한, 산화탄탈막의 형성 및 산화탄탈막의 막질 개선을 위한 열처리 공정 이외의 공정은, 실시예 1의 공정과 마찬가지로 하기 때문에, 그 설명을 생략한다.

도 23에 도시한 바와 같이, 하부 전극(30A)이 형성된 구멍(27)의 내부 및 산화실리콘막(24) 위에 용량 절연막이 되는 10nm 정도의 산화탄탈막(32)을 피착한다. 산화탄탈막(32)은 펜타에톡시탄탈(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)과 산소를 원료로 하여 CVD법으로 피착한다.

이 CVD법으로 피착된 산화탄탈막(32)의 막질 개선을 위해, 200℃ 내지 400℃에서 열처리(어닐링)를 실시한다. 이 때, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를, 실시예 1에서 설명한 도 15에 도시한 그래프 (a)와 그래프 (c)로 둘러싸인 영역 중, 200℃ 내지 400℃의 온도 범위에 대응하는 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행한다.

이러한 온도 범위에서는, 산화탄탈막의 결정화는 발생하지 않지만, 열처리 전의 산화탄탈막에 비해 누설 전류를 저감할 수 있어, 그 막질을 향상시킬 수 있다. 이 열처리 후의 산화탄탈막을 참조 부호 43a로 한다(도 24).

이 후, 도 25에 도시한 바와 같이, W막/Ru막으로 이루어지는 상부 전극(33) 및 중간 절연막(34)을 형성한다.

이와 같이, 본 실시예에 따르면, 산화탄탈막(32)의 막질 개선을 위한 열처리를 비교적 저온에서, 또한, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를, 실시예 1에서 설명한 도 15에 도시한 그래프 (a)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 행하였기 때문에, 산화탄탈막의 하층의 금속(예를 들면, 하부 전극(Ru), WN막(접착층)이나 배리어층(WN막))의 산화를 저감할 수 있다.

또한, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 16에 도시한 그래프 (b)와 그래프 (c)로 둘러싸인 영역 중, 200℃ 내지 400℃의 온도 범위에 대응하는 영역에 위치하도록 제어하면서 산화탄탈막(32)의 열처리를 행해도 된다. 또한, 도 25에서의 플러그(22) 및 배리어층(23)의 부분을 실시예 2 혹은 실시예 3에서 설명한 구성으로 해도 된다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

#### 발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

정보 축적용 용량 소자를 구성하는 용량 절연막의 막질 개선을 위한 열처리를, H<sub>2</sub>O 및 H<sub>2</sub>의 혼합 분위기 중에서, 이 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어함으로써 행하였기 때문에, 이 용량 절연막의 하층의 금속(예를 들면, 하부 전극)의 산화를 방지할 수 있다.

또한, 하부 전극의 산화에 의한 체적 팽창을 작게 할 수 있어, 용량 절연막의 파손을 방지할 수 있다. 또한, 이 용량 절연막의 하층의 금속 내의 산소량을 저감시킬 수 있어, 이를 부위에 산화막이 생성되는 것에 의한 도통 불량을 저감할 수 있다.

또한, 정보 축적용 용량 소자의 특성을 향상시키고, 또한, 메모리 셀의 특성을 향상시킬 수 있다. 또한, 미세화된 메모리 셀 구조에서도 원하는 용량을 확보할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

- (a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,
- (b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과,
- (c) 상기 공정 (b) 후에, 수증기와 수소를 포함하는 분위기 중에서, 상기 반도체 기판에 열처리를 행하는

공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 공정 (c) 후에 상기 제1 도전체가 산화되지 않는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 3

제1항에 있어서,

상기 공정 (c) 후에 상기 제1 절연막이 산화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 4

제1항에 있어서,

상기 공정 (c) 후에 상기 제1 절연막이 결정화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 5

제1항에 있어서,

상기 공정 (c)에서의 상기 수증기와 수소의 분압비는 거의 1 : 1인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 6

제1항에 있어서,

상기 제1 도전체는 백금족 금속 또는 구리인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 7

제6항에 있어서,

상기 백금족 금속은 백금(Pt), 팔라듐(Pd), 루테튬(Ru), 이리듐(Ir), 로듐(Rh) 중에서 선택된 금속인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 8

제1항에 있어서,

상기 제1 절연막은 산화물인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 9

제8항에 있어서,

상기 산화물은  $Ta_2O_5$ ,  $Ba_{1-x}Sr_xTiO_3$ ,  $Al_2O_3$ ,  $TiO_2$ ,  $HfO_2$ ,  $ZrO_2$ ,  $BaTiO_3$ ,  $SrTiO_3$  중에서 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 10

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,

(b) 상기 제1 도전체 위에 제2 도전체를 형성하는 공정과,

(c) 상기 제2 도전체 위에 제3 도전체를 형성하는 공정과,

(d) 상기 제3 도전체 위에 제1 절연막을 형성하는 공정과,

(e) 상기 공정 (d) 후, 수증기와 수소를 포함하는 분위기 중에서, 상기 반도체 기판에 열처리를 행하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 11

제10항에 있어서,

상기 공정 (e) 후에 상기 제1 내지 제3 도전체가 산화되지 않는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 12

제10항에 있어서,

상기 공정 (e) 후에 상기 제1 절연막이 산화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 13

제10항에 있어서,

상기 공정 (e) 후에 상기 제1 절연막이 결정화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 14**

제10항에 있어서,

상기 공정 (e)에서의 상기 수증기와 수소의 분압비는 거의 1 : 1인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 15**

제10항에 있어서,

상기 제1 도전체는 폴리실리콘을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 16**

제10항에 있어서,

상기 제1 도전체는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 17**

제10항에 있어서,

상기 제1 도전체는 실리콘을 포함하는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 18**

제10항에 있어서,

상기 제1 도전체는 백금족 금속 또는 구리인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 19**

제18항에 있어서,

상기 백금족 금속은 백금(Pt), 팔라듐(Pd), 루테튬(Ru), 이리듐(Ir), 로듐(Rh) 중에서 선택된 금속인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 20**

제10항에 있어서,

상기 제1 절연막은 산화물인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 21**

제20항에 있어서,

상기 산화물은  $Ta_2O_5$ ,  $BaSr_{1-x}TiO_3$ ,  $Al_2O_3$ ,  $TiO_2$ ,  $HfO_2$ ,  $ZrO_2$ ,  $BaTiO_3$ ,  $SrTiO_3$  중에서 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 22**

반도체 기판 위에, 소스, 드레인 및 게이트로 이루어지는 복수의 선택용 MISFET와, 복수의 정보 축적용 용량으로 이루어지는 메모리 셀을 갖는 반도체 장치의 제조 방법에 있어서,

- (a) 상기 MISFET의 소스 또는 드레인과 전기적으로 접속된 제1 도전체를 형성하는 공정과,
- (b) 상기 제1 도전체 위에 제2 도전체를 형성하는 공정과,
- (c) 상기 제2 도전체 위에 상기 제3 도전체를 형성하는 공정과,
- (d) 상기 제3 도전체 위에 제1 절연막을 형성하는 공정과,
- (e) 수증기와 수소를 포함하는 분위기 중에서, 상기 반도체 기판에 열처리를 행하는 공정과,
- (f) 상기 제1 절연막 위에 제4 도전체를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 23**

제22항에 있어서,

상기 제3 도전체, 제1 절연막 및 제4 도전체는 상기 정보 축적용 용량을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 24**

제22항에 있어서,

상기 공정 (e) 후에 상기 제1 내지 제3 도전체가 산화되지 않는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 25**

제22항에 있어서,

상기 공정 (e) 후에 상기 제1 절연막이 산화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 26**

제22항에 있어서,

상기 공정 (e) 후에 상기 제1 절연막이 결정화되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 27**

제22항에 있어서,

상기 공정 (e)에서의 상기 수증기와 수소의 분압비는 거의 1 : 1인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 28**

제22항에 있어서,

상기 제1 도전체는 폴리실리콘을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 29**

제22항에 있어서,

상기 제1 도전체는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 30**

제22항에 있어서,

상기 제1 도전체는 실리콘을 갖는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 31**

제22항에 있어서,

상기 제1 도전체는 백금족 금속 또는 구리인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 32**

제31항에 있어서,

상기 백금족 금속은 백금(Pt), 팔라듐(Pd), 루테튬(Ru), 이리듐(Ir), 로듐(Rh) 중에서 선택된 금속인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 33**

제22항에 있어서,

상기 제1 절연막은 산화물인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 34**

제33항에 있어서,

상기 산화물은  $Ta_2O_5$ ,  $Ba_{0.5}Sr_{1.5}TiO_6$ ,  $Al_2O_3$ ,  $TiO_2$ ,  $HfO_2$ ,  $ZrO_2$ ,  $BaTiO_6$ ,  $SrTiO_6$  중에서 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 35**

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,

(b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과,

(c) 상기 반도체 기판에, 수증기와 수소를 포함하는 분위기 중에서,  $200^{\circ}C \sim 400^{\circ}C$ 로 열처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 36**

제36항에 있어서,

- (d) 상기 반도체 기판 및 제1 절연막 위에 제2 절연막을 형성하는 공정과,
  - (e) 상기 제2 절연막 위에 배선을 형성하는 공정
- 을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 37**

제36항에 있어서,

상기 (c) 공정은, 상기 (b) 공정과 (d) 공정 사이에 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 38**

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,

(b) 상기 제1 도전체 위에 제2 도전체를 형성하는 공정과,

(c) 상기 제2 도전체 위에 제3 도전체를 형성하는 공정과,

(d) 상기 제3 도전체 위에 제1 절연막을 형성하는 공정과,

(e) 상기 반도체 기판에, 수증기와 수소를 포함하는 분위기 중에서, 200℃~400℃로 열처리를 행하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 39**

제38항에 있어서,

(f) 상기 반도체 기판 및 제1 절연막 위에 제2 절연막을 형성하는 공정과,

(g) 상기 제2 절연막 위에 배선을 형성하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 40**

제39항에 있어서,

상기 (e) 공정은, 상기 (d) 공정과 (f) 공정 사이에 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 41**

반도체 기판 위에, 소스, 드레인 및 게이트로 이루어지는 복수의 선택용 MISFET와, 복수의 정보 축적용 용량으로 이루어지는 메모리 셀을 갖는 반도체 장치의 제조 방법에 있어서,

(a) 상기 MISFET의 소스 또는 드레인과 전기적으로 접속된 제1 도전체를 형성하는 공정과,

(b) 상기 제1 도전체 위에 제2 도전체를 형성하는 공정과,

(c) 상기 제2 도전체 위에, 상기 제3 도전체를 형성하는 공정과,

(d) 상기 제3 도전체 위에 제1 절연막을 형성하는 공정과,

(e) 상기 반도체 기판에, 수증기와 수소를 포함하는 분위기 중에서, 200℃~400℃로 열처리를 행하는 공정과,

(f) 상기 제1 절연막 위에 제4 도전체를 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 42**

제41항에 있어서,

(g) 상기 반도체 기판 및 제4 도전체 위에 제2 절연막을 형성하는 공정과,

(h) 상기 제2 절연막 위에 배선을 형성하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 43**

제42항에 있어서,

상기 (e) 공정은, 상기 (d) 공정과 (g) 공정 사이에 행해지는 것을 특징으로 하는(배선 형성 후의 H<sub>2</sub> 어닐링 등과의 차별화) 반도체 장치의 제조 방법.

**청구항 44**

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,  
 (b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과,  
 (c) 상기 공정 (b) 후에, 상기 제1 절연막이 산화되고, 상기 제1 도전막은 산화되지 않는 조건 하에서 열처리를 행하는 공정  
 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 45**

제44항에 있어서,  
 상기 공정 (c)의 열처리는 수증기와 수소를 포함하는 분위기 중에서 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 46**

제1항에 있어서,  
 상기 공정 (c)의 열처리는 200℃~400℃의 온도에서 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 47**

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,  
 (b) 상기 제1 도전체 위에 제1 절연막을 형성하는 공정과,  
 (c) 상기 공정 (b) 후에, 수증기와 수소를 포함하는 분위기 중에서, 상기 반도체 기판에 열처리를 행하는 공정으로서, 상기 열처리의 온도에서의 상기 수소에 대한 상기 수증기의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제1 절연막+H<sub>2</sub>)과 제2(상기 제1 절연막을 조성하는 금속+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 크고, 또한, 상기 온도에서 제3(상기 제1 도전체의 산화물+H<sub>2</sub>)과 제4(상기 제1 도전체+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 작아지는 조건 하에서 열처리를 행하는 공정  
 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 48**

제47항에 있어서,  
 상기 제1 도전체는 백금족 금속 또는 구리인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 49**

제48항에 있어서,  
 상기 산화물은 Ta<sub>2</sub>O<sub>5</sub>인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 50**

(a) 반도체 기판 위에 제1 도전체를 형성하는 공정과,  
 (b) 상기 제1 도전체 위에 제2 도전체를 형성하는 공정과,  
 (c) 상기 제2 도전체 위에 제3 도전체를 형성하는 공정과,  
 (d) 상기 제3 도전체 위에 제1 절연막을 형성하는 공정과,  
 (e) 상기 공정 (d) 후, 수증기와 수소를 포함하는 분위기 중에서, 상기 반도체 기판에 열처리를 행하는 공정으로서, 상기 열처리의 온도에서의 상기 수소에 대한 상기 수증기의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제1 절연막+H<sub>2</sub>)과 제2(상기 제1 절연막을 조성하는 금속+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 크고, 또한, 상기 온도에서 제3(상기 제1 도전체의 산화물+H<sub>2</sub>)과 제4(상기 제1 도전체+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 작아지는 조건 하에서 열처리를 행하는 공정  
 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 51**

제50항에 있어서,  
 상기 제1 도전체는 백금족 금속 또는 구리인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 52**

제50항에 있어서,

상기 산화물은  $Ta_2O_5$ 인 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 53**

제50항에 있어서,

상기 제1 도전체는 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 54**

- (a) 반도체 기판 위에 형성된 제1 도전체와,
- (b) 상기 제1 도전체 위에 형성된 제2 도전체와,
- (c) 상기 제2 도전체 위에 형성된 제3 도전체와,
- (d) 상기 제3 도전체 위에 형성된 제1 절연막

을 포함하며,

상기 제3 도전체 혹은 제2 도전체는, 제1 절연막을 조성하는 금속보다, 수증기와 수소를 포함하는 분위기 중에서 산화되지 않는 재료인 것을 특징으로 하는 반도체 장치.

**청구항 55**

제54항에 있어서,

상기 제1 도전체는 폴리실리콘을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 56**

제54항에 있어서,

상기 제1 도전체는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 57**

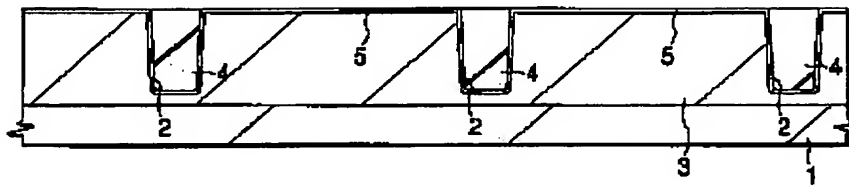
- (a) 반도체 기판 위에 형성된 제1 도전체와,
- (b) 상기 제1 도전체 위에 형성된 제2 도전체와,
- (c) 상기 제2 도전체 위에 형성된 제3 도전체와,
- (d) 상기 제3 도전체 위에 형성된 제1 절연막

을 포함하며,

상기 제1 도전체는 실리콘을 포함하는 텅스텐을 포함하고, 상기 제2 도전막은 텅스텐 및 질화 텅스텐을 포함하는 것을 특징으로 하는 반도체 장치.

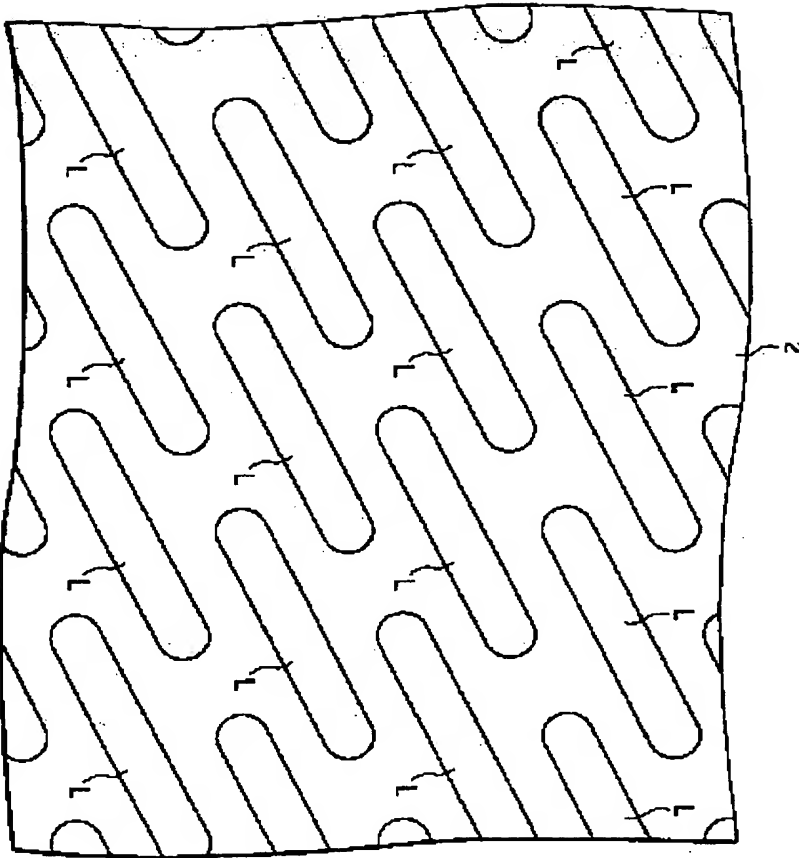
**도면**

도면1

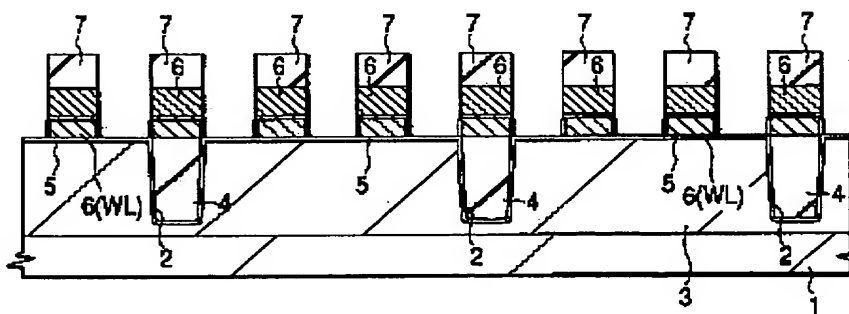




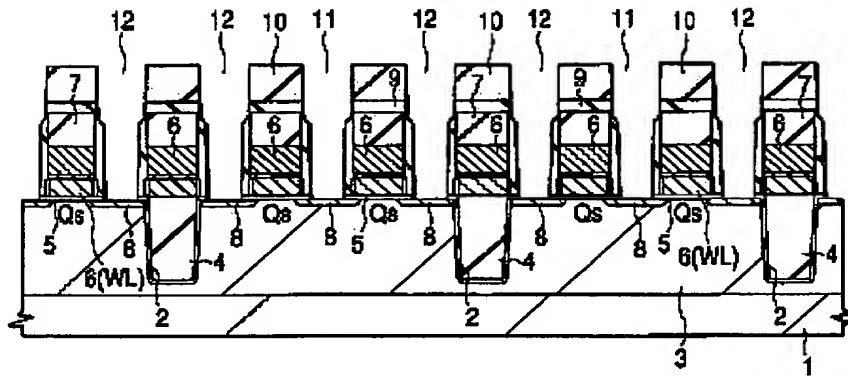
도 2



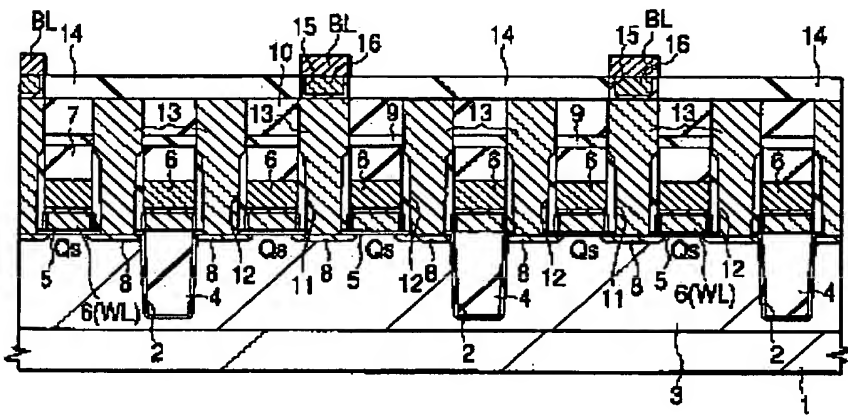
도 3



도 4



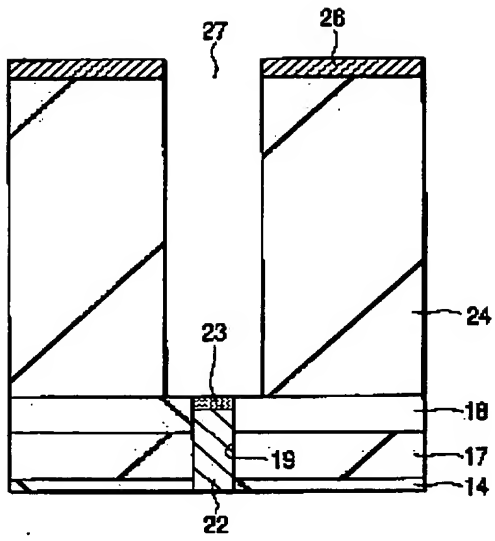
도 5



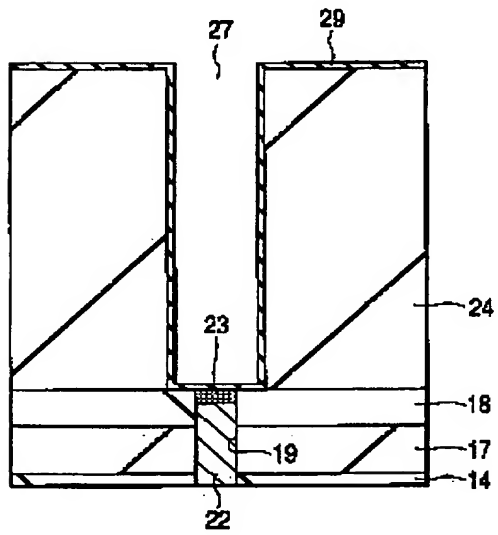




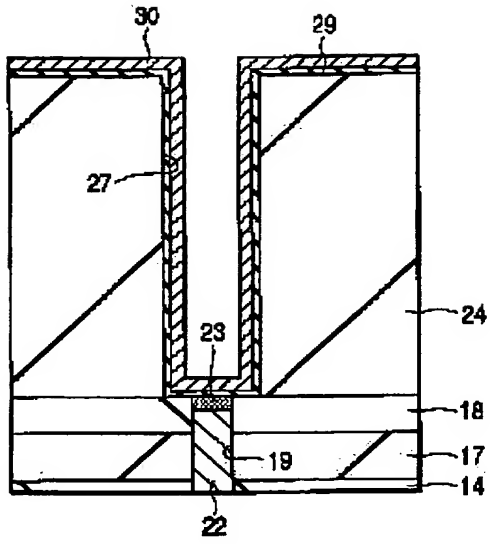
도면 10



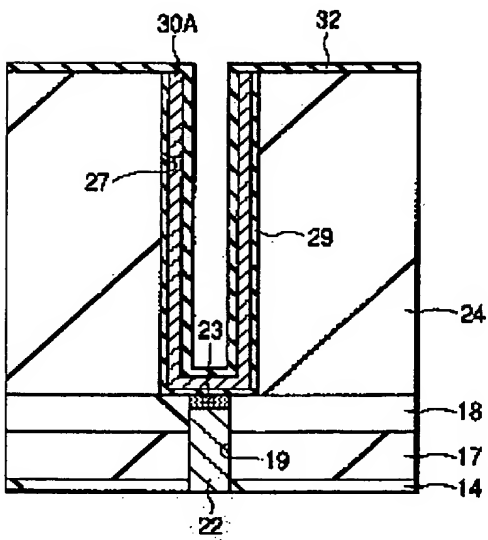
도면 11



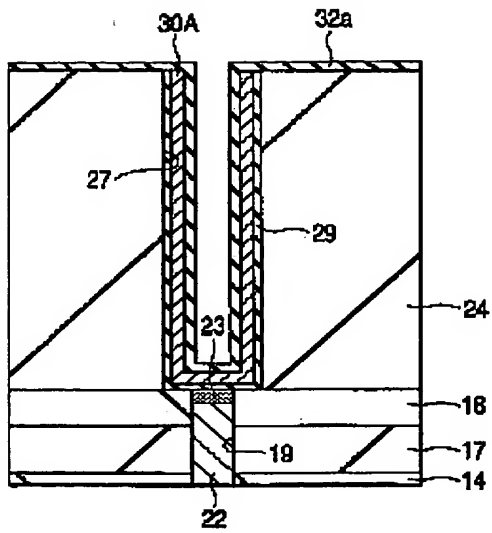
도 12



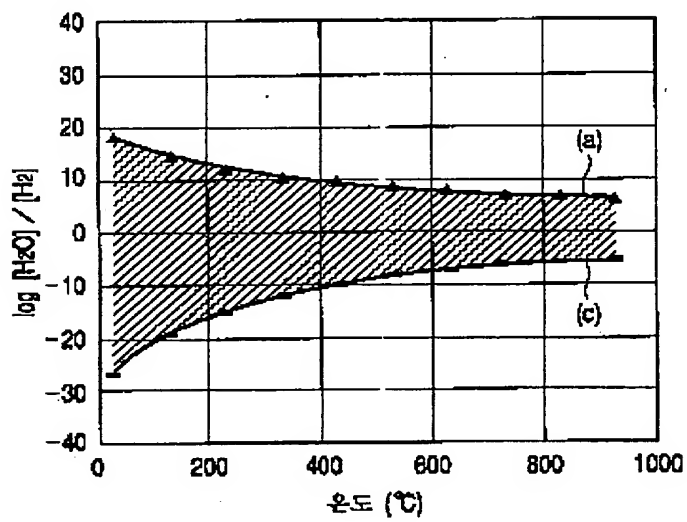
도 13



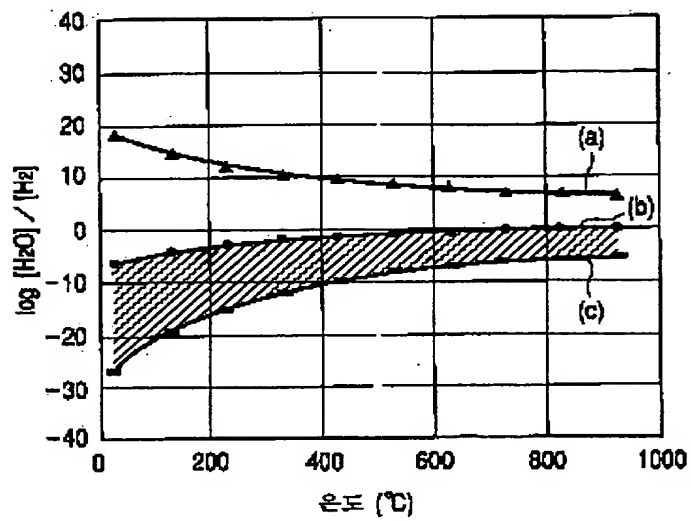
도면 14



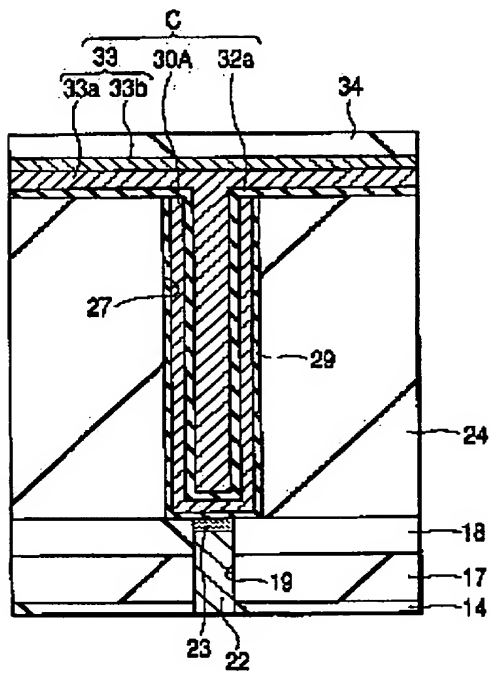
도면 15



도 16

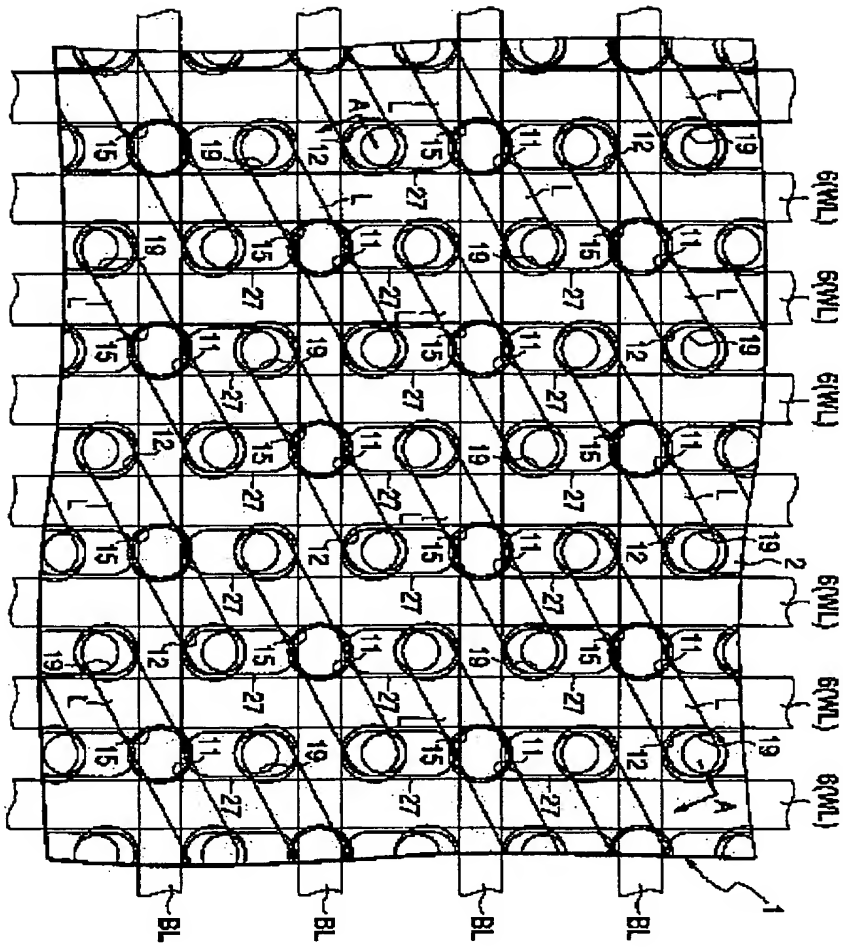


도 17

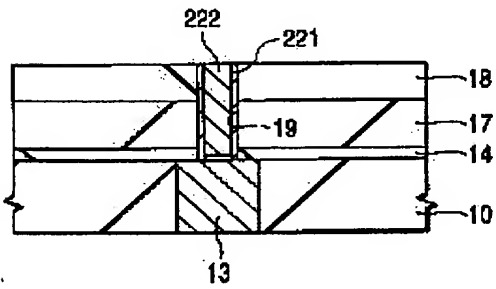




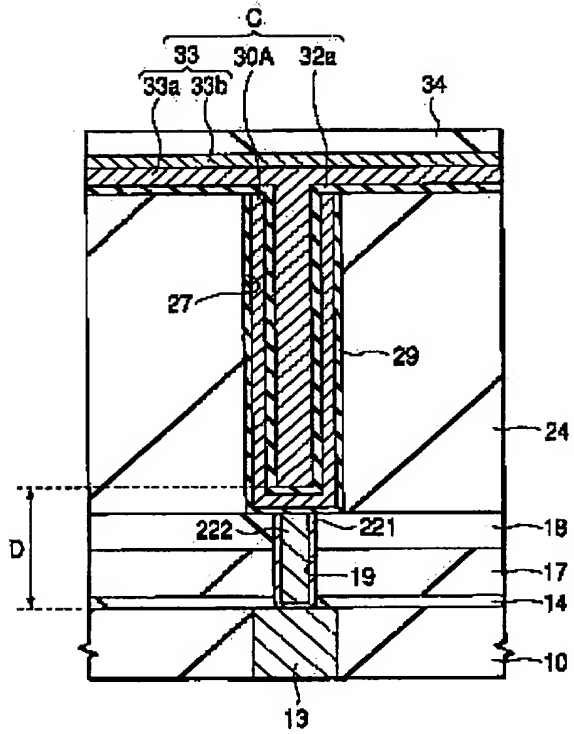
도면 18



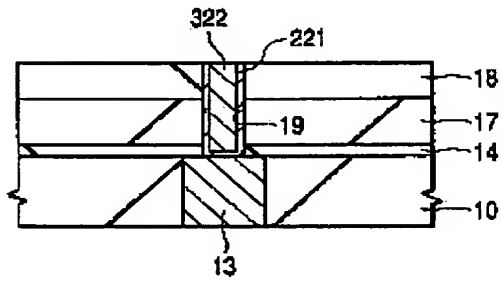
도면 19



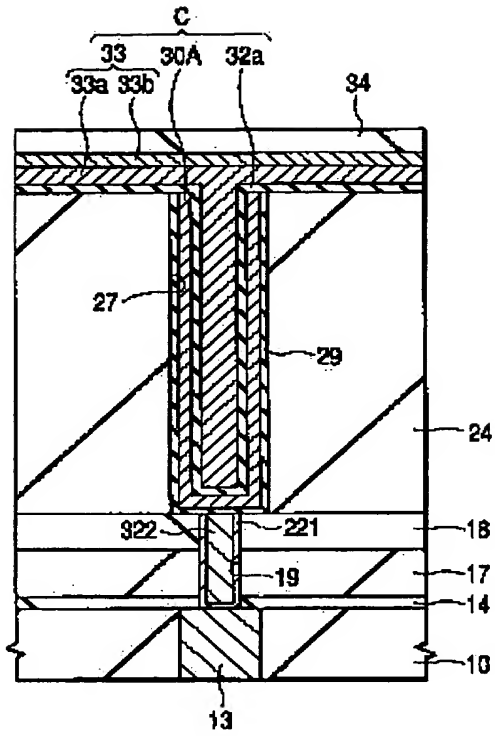
도 20



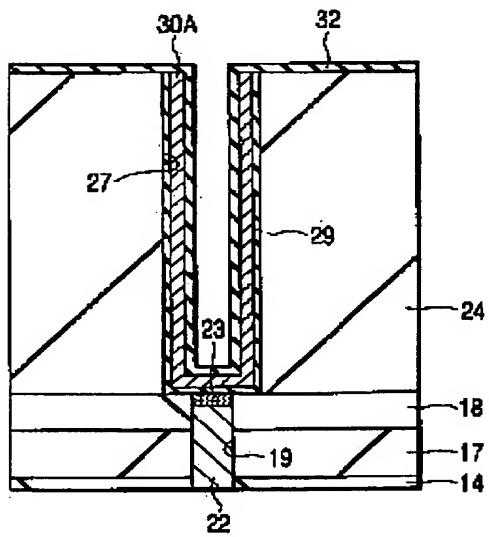
도 21



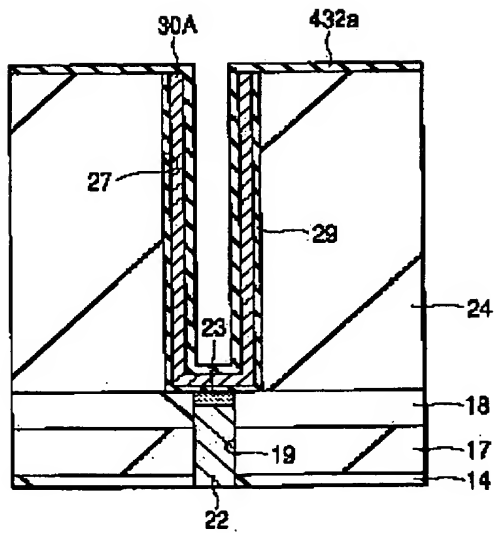
도 22



도 23



50124



5025

